



71 Anmelder:
Siemens AG, 80333 München, DE

72 Erfinder:
Zanner, Rainer, 81547 München, DE; Reichert,
Hansjörg, 81539 München, DE; Deckers, Margarete,
81737 München, DE

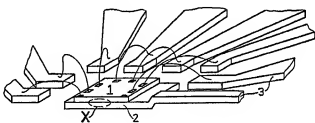
66 Entgegenhaltungen:
DE 1 95 32 250 A1
ZIMMERMANN, D.D.: "A New Gold-Tin Alloy
Composition
for Hermetic Package Sealing and Attachment of
Hybrid Parts", in: Solid State Technology, Jan.
1972, S. 44-48;
ALBRECHT, H.J.: "Alternative Lotwerkstoffe für
Elektronikbaugruppen", in: Siemens-Zeitschrift
Special-FuE, Herbst 1996, S. 14-16;
LEE C.C. et al., "A New Bonding Techn. using Gold
and Tin Multilayer Composite Structures", in:
IEEE Trans. on Comp., Hybrids, and Manufact.
Techn., Vol.14, No.2, June 1991, S. 407-411;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren und Vorrichtung zur Herstellung einer Chip-Substrat-Verbindung

57 Die Erfindung betrifft ein Verfahren und eine Vorrichtung zur Herstellung einer Chip-Substrat-Verbindung durch Legieren oder Hartlöten unter Verwendung eines zwei- oder auch mehrkomponentigen Lotmittels mit wenigstens zwei metallhaltigen Bestandteilen X und Y, wobei der erste Bestandteil X insbesondere Gold oder dergleichen Edelmetall aufweist, und der zweite Bestandteil Y beim Lötvorgang durch Reaktion bzw. Lösung in den zu verbindenden Materialien bzw. Schichten verbraucht wird. Das Lotmittel weist eine übersteuhtische Konzentration des zweiten Bestandteiles Y auf. Die Erfindung betrifft ferner ein Lotmittel für die Herstellung einer Chip-Substrat-Verbindung, sowie ein Halbleiterbauelement mit einem auf einem Substrat durch Legieren oder Hartlöten befestigten Halbleiterchip (1).



Die Erfindung betrifft ein Verfahren und eine Vorrichtung zur Herstellung einer Chip-Substrat-Verbindung durch Legieren oder Hartlöten unter Verwendung eines Lotmittels mit den beiden metallhaltigen Bestandteilen X und Y, wobei der erste Bestandteil X insbesondere Gold oder dergleichen Edelmetall aufweist. Die Erfindung betrifft ferner ein Lotmittel für die Herstellung einer Chip-Substrat-Verbindung, sowie ein Halbleiterbauelement mit einem auf einem Substrat durch Legieren oder Hartlöten befestigten Halbleiterchip.

Bei der Verbindung eines Halbleiterchips mit seiner Rückseite auf ein Substrat, welches üblicherweise als Chip- oder Die-Bonding bezeichnet wird, müssen die Anforderungen hinsichtlich einer ausreichenden mechanischen Befestigung sowie einer guten thermischen und elektrischen Leitfähigkeit je nach Anwendungsfall einzeln oder gemeinsam erfüllt werden. Eine besondere Rolle spielt die Verträglichkeit von Chip und Substrat, d. h. der Anpassung beider Verbindungspartner in ihrem Ausdehnungsverhalten bei thermischer Belastung. Derzeit sind im Wesentlichen drei zu unterscheidende Verfahren der Chipbefestigung üblich: Legieren (Hartlöten), Löten (Weichlöten), und Kleben. Das bevorzugte Anwendungsgebiet gemäß der vorliegenden Erfindung ist Legieren oder Hartlöten; bei einem vorbekannten Bondverfahren im AuSi-System wird eine eutektische Verbindung von Halbleiterchip und Substrat bei niedrigster Schmelztemperatur der beteiligten Verbindungspartner hergestellt. Es findet eine Legierungsbildung bei einer Temperatur statt, die weit unter der Schmelztemperatur der Einzelkomponenten Au und Si liegt. Diese Temperatur ist nicht so hoch, daß der Halbleiteraufbau und damit die elektrische Funktion geschädigt würde. Beim Legiervorgang werden Chip und Substrat auf diese Temperatur erhitzt, wobei ein leichter Druck angewandt und der Chip zur Verbesserung des Kontaktes in kreisförmiger Bewegung angebrungen wird. Bei Erreichen des Schmelzpunktes entsprechend der Liquidus-Solidus-Kurve des Phasendiagramms wird das Lot flüssig, der Bondprozeß kommt in Gang. Der Aufheizvorgang erfolgt in der Regel aus Kostengründen sehr schnell, er läuft nicht über thermodynamische Gleichgewichtszustände. Im Gegensatz dazu läuft der Abkühlvorgang wesentlich langsamer. Bis kristallisiert zunächst die Überschußkomponente aus, bis beim Erstarrungspunkt wieder das eutektische Mischungsverhältnis erreicht ist. Während des Erstarrens der eutektischen Schmelze kristallisieren beide Komponenten getrennt, so daß die Struktur des erstarrten Eutektikums gleichmäßig verteilte Si- und Au-Kristalle zeigt.

Die Minimierung der Chipbruchanfälligkeit geschieht durch möglichst gleichmäßige flächige Verbindung Chip-Substrat und durch niedrige Eigenverspannung. Die Qualität der Verbindung wird durch die Flusseigenschaften des Lotes gesteuert und die Eigenverspannung von der Temperaturdifferenz Loterstarrung und Gebrauchstemperatur.

Der Erfindung liegt die Aufgabe zugrunde, eine Vorrichtung und ein Verfahren zur Herstellung einer Chip-Substrat-Verbindung, insbesondere durch Legieren bzw. Hartlöten, sowie ein geeignetes Lotmittel hierfür anzugeben, bei der bzw. bei dem die Gefahr eines Chipbruchs möglichst gering ist.

Diese Aufgabe wird verfahrensmäßig durch Anspruch 1, vorrichtungsmäßig durch Anspruch 8 gelöst. Ein erfindungsgemäßes Lotmittel ist im Anspruch 11, ein unter Verwendung eines erfindungsgemäßen Lotmittels gefertigtes Halbleiterbauelement im Anspruch 13 angegeben.

Erfindungsgemäß ist vorgesehen, daß das Lotmittel eine über-eutektische Konzentration des zweiten Bestandteiles Y

aufweist. Hierbei stellt der Bestandteil Y diejenige Komponente des zwei- oder auch mehrkomponentigen Lotmittels dar, die beim Lötvorgang durch Reaktion bzw. Lösung in den zu verbindenden Schichten verbraucht wird. Sinngemäß gilt dies auch für Mehrstoffsyste.

Ein besonders bevorzugtes, niedrigschmelzendes Lotmittel stellt hierbei ein AuSn-Lot dar mit einer über-eutektischen Konzentration von Zinn. Bevorzugterweise besteht das AuSn-Lotmittel einen Sn-Gewichtsanteil von mehr als 20%.

Die Erfindung bietet vor allem folgende Vorteile:

– Die Verwendung eines AuSn-Lotes mit über-eutektischer Sn-Konzentration bietet gegenüber den vorbekannten eutektischen AuSi- bzw. eutektischen AuGe-Loten, die auf der Waferrückseite aufgedampft sind, um bis zu 100° Celsius verringerte Chipliegietemperaturen, und dadurch wesentlich geringere thermische Verspannungen und damit verringerte Chipbruchgefahr. Die Erfindung ermöglicht darüber hinaus eine verbesserte Homogenität und Benetzung der Lotschicht.

– Gegenüber einem eutektischen AuSn-Lot bietet die Erfindung vor allem den Vorteil einer geringeren Liegiertemperatur. Eutektisches AuSn verarmt während der Beschichtung und des Montageprozesses an Sn, da sowohl die erforderliche Barriere zwischen AuSn und Si als auch die Leadframe-Oberfläche (beispielsweise aus Ag) bei der Montage Sn aufnehmen. Damit steigt die Schmelztemperatur des AuSn-Lotes. Vor allem bei gesputtertem, eutektischem AuSn liegt die zur Verbindung erforderliche Liegiertemperatur fast so hoch wie bei einer AuSi-Legierung.

– Gegenüber Epoxyd-Klebern besitzt die Erfindung den Vorteil einer besseren thermischen Leitfähigkeit der Verbindung, besseren Homogenität der Verbindung, und vor allem Einsparung von Kleber und Kleberprozeß in der Montage.

– Gegenüber dem Löten mit Preform ergibt sich beim erfindungsgemäßen Verfahren vor allem eine Kostenersparnis in der Montage.

Vorzugsweise wird das Lotmittel auf der Rückseite des Chips abgeschieden, insbesondere durch Sputtern. Dies erfolgt selbstverständlich im Waferverbund der Halbleiterchips, so daß der Begriff Chip auch den noch im Waferverbund befindlichen Chip umfaßt.

Von besonderem Vorteil besitzt das bei der Abscheidung verwendete Target eine gewichtsmäßige Zusammensetzung der Bestandteile X zu Y von 70 zu 30, also vorzugsweise eine Zusammensetzung von AuSn = 70/30. Die Lotschicht wird in einer Stärke von etwa 1 µm bis etwa 2 µm, vorzugsweise etwa 1,5 µm auf die Waferrückseite aufgesputtert.

Nachfolgend wird die Erfindung anhand eines in der Zeichnung dargestellten Ausführungsbeispiels weiter erläutert. Im Einzelnen zeigen die Darstellungen in:

Fig. 1 das Phasendiagramm von AuSn;

Fig. 2A eine schematische Darstellung eines auf einem Leadframe unter Verwendung des erfindungsgemäßen über-eutektischen AuSn-Lotes legierten Halbleiterchips; und
Fig. 2B eine vergrößerte Schnittdarstellung der Einzelheit X nach Fig. 2A.

Wie in Fig. 1 sichtbar ist, liegt für das System AuSn die eutektische Temperatur bei 278° Celsius und die entsprechende Zusammensetzung bei 20% Sn und 80% Au (Gewichtsprozent). Es findet somit eine Legierungsbildung bei einer Temperatur statt, die weit unter der Schmelztemperatur der Einzelkomponenten liegt. Dem wesentlichen Gedan-

ken der Erfindung folgend wird ein AuSn-Lot mit einer übereutektischen Konzentration von Zinn verwendet, so daß das AuSn-Lotmittel einen Sn-Gewichtsanteil von mehr als 20% besitzt. Damit ergibt sich eine ausreichende Dünnflüssigkeit des Lotmittels bei Temperaturen von unterhalb 380° Celsius für die Montage in SOT-Gehäusen, da durch eine Diffusion von Sn in benachbarten Metallschichten das AuSn sich in seiner Zusammensetzung von der zinnreichen Phase her auf den eutektischen Punkt zubewegt und somit eine über dem Eutektikum liegende, goldreiche Lotphase vermindert wird. Die Schmelztemperatur des AuSn-Gemisches steigt bei Au-Überschuß sehr stark an, bei Sn-Anreicherung ist die Schmelzpunkterhöhung wesentlich geringer. Durch einen Sn-Verlust eines Sn-reichen, erfindungsgemäßen Lotes tritt beim Lötvorgang eine kontinuierliche Schmelzpunkterniedrigung auf. Der Lötvorgang wird begünstigt. Insbesondere an der Kontaktstelle Lot-Leadframe (beispielsweise Ag), wo die Sn-Verarmung auftritt, wird lokal die Schmelztemperatur erniedrigt, was die Fließeigenschaft des Lotes verbessert. Aus diesem Grund werden durch ein Überangebot an Sn reproduzierbare Montagebedingungen bei niedrigen Temperaturen erreicht. Insbesondere bei dünnen Lot-Schichten, wie sie an sich bei Waferrückseitenbeschichtungen üblich sind, ist dieser Effekt stark ausgeprägt.

In den Fig. 2A und 2B ist eine durch Legieren bzw. Hartlöten gefertigte Verbindung eines Halbleiterchips 1 auf der zentralen "Insel" 2 eines metallenen Systemträgers 3 dargestellt. Die auch als Leadframes bezeichneten vorgefertigten metallischen Systemträger stellen eine sehr weit verbreitete Substratform dar, insbesondere für die Verwendung in Kunststoffgehäusen. Die vergrößerte Teilansicht nach Fig. 2B zeigt die Schichtenfolge in näheren Einzelheiten. Die Rückseite des Halbleiterchips 1 ist mit einer Haft- oder Diffusionsbarriere 4 versehen, welche vorzugsweise Ti/Pt aufweist. Die Bezugsziffer 5 bezeichnet die in einer Stärke von typischerweise 1,5 µm auf die Scheibenrückseite aufgesputterte Lotschicht. Damit die Chip-Substrat-Verbindung ausreichend niederohmig ist, kann es erforderlich sein, vorab noch eine Dotierschicht, beispielsweise aus AuAs, oder eine Kontaktimplantation 6 einzufügen.

Bezugszeichenliste

- 1 Halbleiterchip
- 2 zentrale "Insel"
- 3 metallener Systemträger
- 4 Haft-/oder Diffusionsschicht
- 5 Lotschicht
- 6 Kontaktimplantation
- X, Y metallhaltige Bestandteile

Patentansprüche

1. Verfahren zur Herstellung einer Chip-Substrat-Verbindung durch Legieren oder Hartlöten unter Verwendung eines zwei- oder auch mehrkomponentigen Lotmittels mit wenigstens zwei metallhaltigen Bestandteilen X und Y, wobei der erste Bestandteil X insbesondere Gold oder dergleichen Edelmetall aufweist, und der zweite Bestandteil Y beim Lötvorgang durch Reaktion bzw. Lösung in den zu verbindenden Materialien bzw. Schichten verbraucht wird, dadurch gekennzeichnet, daß das Lotmittel (5) eine übereutektische Konzentration des zweiten Bestandteiles Y aufweist.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der zweite Bestandteil Y des Lotmittels Zinn mit einer übereutektischen Konzentration aufweist.
3. Verfahren nach Anspruch 1 oder 2, gekennzeichnet

durch eine Gold-Zinn-Verbindung (AuSn) als Lotmittel mit einer übereutektischen Sn-Konzentration.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß das verwendete AuSn-Lotmittel einen Sn-Gewichtsanteil von mehr als 20% aufweist.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß das Lotmittel auf der Rückseite des Chips (1) abgeschieden wird, insbesondere durch Sputtern.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß das bei der Abscheidung verwendete Target eine gewichtsmäßige Zusammensetzung der Bestandteile X zu Y von 70 zu 30 besitzt.

7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß das Lotmittel in einer Stärke von etwa 1 µm bis etwa 2 µm, und insbesondere etwa 1,5 µm auf die Rückseite des Chips (1) aufgetragen, insbesondere aufgesputtert wird.

8. Vorrichtung zur Abscheidung eines Lotmittels als dünne Schicht auf der Rückseite eines Chips (1), welches Lotmittel zwei- oder auch mehrkomponentig ist und wenigstens zwei metallhaltige Bestandteile X und Y aufweist, wobei der erste Bestandteil X insbesondere Gold oder dergleichen Edelmetall aufweist, und der zweite Bestandteil Y beim Lötvorgang durch Reaktion bzw. Lösung in den zu verbindenden Materialien bzw. Schichten verbraucht wird, dadurch gekennzeichnet, daß ein Target mit einer übereutektischen Konzentration des zweiten Bestandteiles Y vorgesehen ist.

9. Vorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß der zweite Bestandteil Y des Lotmittel-Targets Zinn mit einer übereutektischen Konzentration aufweist.

10. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, daß das Target eine gewichtsmäßige Zusammensetzung der Bestandteile X zu Y von 70 zu 30 besitzt.

11. Lotmittel für die Herstellung einer Chip-Substrat-Verbindung, welches Lotmittel zwei- oder auch mehrkomponentig ist und wenigstens zwei metallhaltige Bestandteile X und Y aufweist, wobei der erste Bestandteil X insbesondere Gold oder dergleichen Edelmetall aufweist, und der zweite Bestandteil Y beim Lötvorgang durch Reaktion bzw. Lösung in den zu verbindenden Materialien bzw. Schichten verbraucht wird, dadurch gekennzeichnet, daß das Lotmittel eine übereutektische Konzentration des zweiten Bestandteiles Y aufweist.

12. Lotmittel nach Anspruch 10, dadurch gekennzeichnet, daß der zweite Bestandteil Y des Lotmittels Zinn mit einer übereutektischen Konzentration aufweist.

13. Halbleiterbauelement mit einem auf einem Substrat durch Legieren oder Hartlöten befestigten Halbleiterchip (1), dadurch gekennzeichnet, daß das Lotmittel für die Chip-Substrat-Verbindung nach Anspruch 11 oder 12 gebildet ist, und insbesondere eine Gold-Zinn-Verbindung (AuSn) mit einer übereutektischen Sn-Konzentration aufweist.

Hierzu 1 Seite(n) Zeichnungen

Fig 1

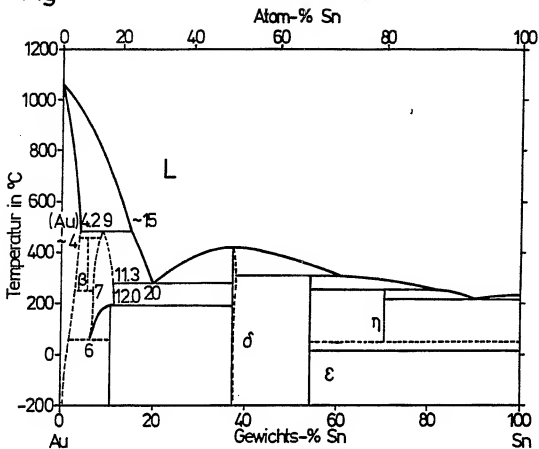


Fig 2A

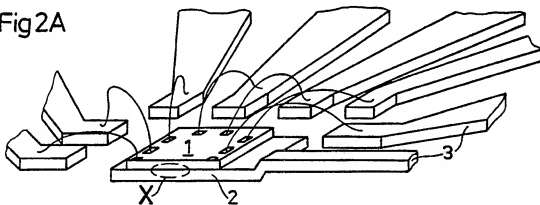
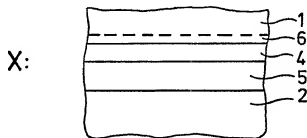


Fig 2B



#DataBase:
 espacenet
 #PatmonitorVersion:
 186
 #DownloadDate:
 2005-09-27
 #Title:
 Verfahren und Vorrichtung zur Herstellung einer Chip-Substrat-Verbindung
 #PublicationNumber:
 DE19730118
 #PublicationDate:
 1999-01-21
 #Inventor:
 ZANNER RAINER (DE); REICHERT HANSJOERG (DE); DECKERS MARGARETE (DE)
 #Applicant:
 SIEMENS AG (DE)
 #RequestedPatent:
 DE19730118
 #ApplicationNumber:
 DE19971030118;1997-07-14
 #PriorityNumber:
 DE19971030118;1997-07-14
 #IPC:
 H01L21/58; B23K35/24
 #NCL:
 B23K35/30C; B23K35/32B; H01L23/488; H01L23/492
 #Abstract:
 The invention relates to a method and a device for producing a chip-substrate assembly by alloying or hard-soldering, using a solder containing two or more components with at least two component parts X and Y containing metal. The first component part X has gold or a similar precious metal, and the second component Y is used in the soldering process by reacting or dissolving it in the materials or layers which are to be joined. The solder has a hypereutectic concentration of second component Y. The invention also relates to a solder for the production of a chip-substrate assembly, in addition to a semiconductor component with a semiconductor chip (1) secured to a substrate by alloying or hard-soldering.
 #Family:
 CN1124645CC;2003-10-15;Method and device for producing chip-substrate-lin
 CN1264495A;2000-08-23;Method and device for producing chip-substrate-lin
 DE19730118A1;1999-01-21;Verfahren und Vorrichtung zur Herstellung einer
 Chip-Substrat-Verbindung
 GB0003104DD0;2000-03-29;Method and device for producing a chip-substrate
 assembly
 GB2343551A;2000-05-10;Method and device for producing a chip-substrate assembly
 GB2343551B;2002-10-30;Method and device for producing a chip-substrate assembly
 JP3609339B2B2;2005-01-12;No English title available
 JP2001510941TT;2001-08-07;No English title available
 WO9904423A1;1999-01-28;METHOD AND DEVICE FOR PRODUCING A CHIP-SUBSTRATE ASSEMBLY